

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛：

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 30 日  
Application Date

申請案號：092102630  
Application No.

申請人：全懋精密科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 4 月 30 日  
Issue Date

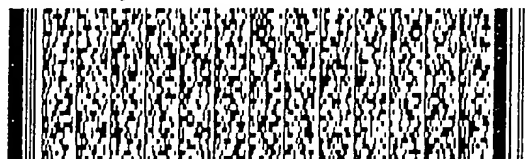
發文字號：09220428850  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法
	英 文	INTEGRATED STORAGE PLATE WITH EMBEDDED PASSIVE COMPONENTS AND METHOD FOR FABRICATING ELECTRONIC DEVICE WITH THE PLATE
二、 發明人 (共1人)	姓 名 (中文)	1. 胡竹青
	姓 名 (英文)	1. Chu-Chin HU
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市香山區香村里墩豐路2號
	住居所 (英 文)	1. No. 2, Duen-Feng Road, Shiang-Tsuen Li, Shiang-San District, Hsin-Chu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 全懋精密科技股份有限公司
	名稱或 姓 名 (英文)	1. PHOENIX PRECISION TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學園區力行路6號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 6, Li-Hsin Road, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
	代表人 (英文)	1. Wen-Po LIN



四、中文發明摘要 (發明名稱：積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法)

一種積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法，主要係提供一絕緣芯板，其具有一上表面及一相對之下表面，並於該芯板中形成有多數之開孔，以填充包含有可作為被動元件之電阻材料與電容材料，並於該芯板上、下表面形成有一導電金屬層，俾提供使用者依據所需電子裝置之電性設計，圖案化該芯板表面之導電金屬層，以電性導接所需之被動元件，並將該圖案化之整合有多數被動元件接置並電性連接至半導體封裝基板或印刷電路板等電子裝置上，俾藉由簡單製程以提昇電子裝置之電功能。

本案代表圖：第 4B圖

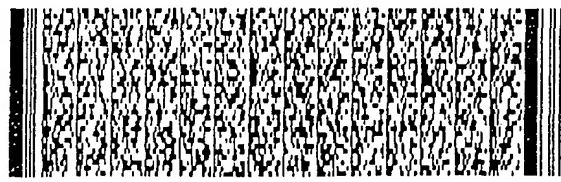
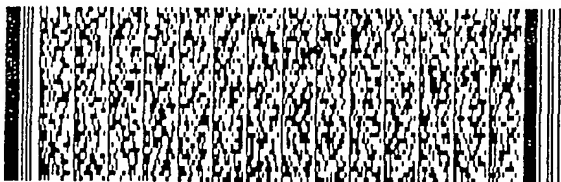
3 被動元件儲存板

31 絕緣芯板

31a 上表面

六、英文發明摘要 (發明名稱：INTEGRATED STORAGE PLATE WITH EMBEDDED PASSIVE COMPONENTS AND METHOD FOR FABRICATING ELECTRONIC DEVICE WITH THE PLATE)

An integrated storage plate with embedded passive components and a method for fabricating an electronic device with the plate are provided. An insulating core is formed with a plurality of openings penetrating therethrough and conductive metal layers are formed on upper and lower surfaces thereof. The openings of the insulating core are filled with materials for passive

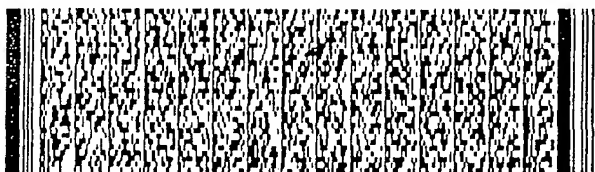


四、中文發明摘要 (發明名稱：積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法)

- 31b 下表面
- 32 開孔
- 33a 電阻元件
- 33b 電容元件
- 34a 導電線路
- 34b 電阻電極
- 34c 平行板
- 35 導電通孔

六、英文發明摘要 (發明名稱：INTEGRATED STORAGE PLATE WITH EMBEDDED PASSIVE COMPONENTS AND METHOD FOR FABRICATING ELECTRONIC DEVICE WITH THE PLATE)

components such as resistors and capacitors. This thereby provides an integrated plate on which the conductive metal layers of the core can be desirably patterned to electrically interconnect the passive components, and this integrated plate can be electrically connect to an electronic device such as substrate or printed circuit board to enhance electrical performances thereof.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

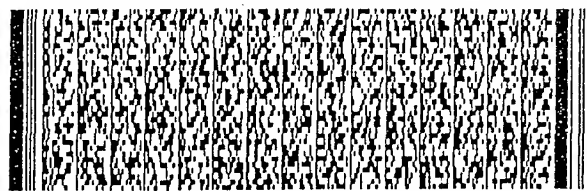
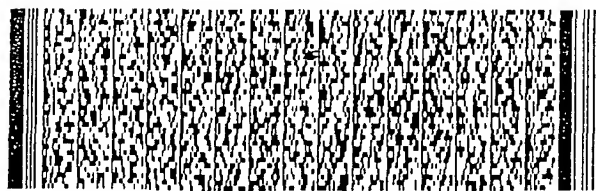
本發明係有關於一種積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法，尤指一種在絕緣芯板中嵌設有多數之作為電容元件與電阻元件材料之模組化結構，以及運用該整合有被動元件之儲存板於電子裝置之方法。

### 【先前技術】

由於半導體製程之進步，以及半導體晶片上電路功能的不斷提昇，使得半導體裝置之發展走向高度集積化，就以球柵陣列式 (BGA) 半導體裝置為例，此種藉由成陣列方式植佈於基板底面上之錫球 (Solder Ball) 以提供半導體晶片與印刷電路板 (PCB) 等外界裝置電性連接之結構，相較於傳統以導線架 (Lead frame) 為主之半導體裝置，該球柵陣列式半導體裝置於相同單位面積內得設有較多之輸出/輸入連接端，以容納更多之電子電路及半導體晶片接置其上。

惟半導體裝置之集積化，封裝構造之接腳數目亦隨著增加，而由於接腳數目與線路佈設之增多，導致雜訊亦隨之增大，因此，一般為消除雜訊或作電性補償，係於半導體封裝構造中加入被動元件，如電阻元件、電容元件與電感元件，以消除雜訊與穩定電路，藉以使得所封裝之半導體晶片符合電性特性之要求。

而一般習知技術係將該些被動元件安置於基板上未被半導體晶片所佔據之多餘佈局面積上。然而由於此種佈設方式需要較大尺寸之基板來實施，因此會使得整體之封裝

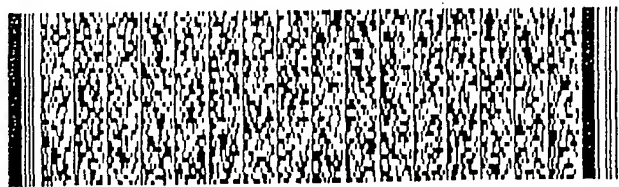
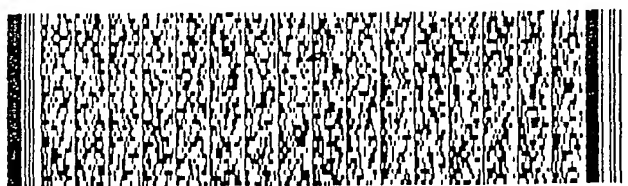


## 五、發明說明 (2)

尺寸較大，且該些被動元件係分別接置至基板上，增加線路佈設與製程之複雜性。如第 1 圖所示，多數之被動元件 12 係安置於基板 1 之表面，該基板可為一般印刷電路板或半導體晶片之封裝基板，然為避免該等被動元件 12 阻礙半導體晶片 11 與多數銲接墊間之電性連結，傳統上多將該等被動元件 12 安置於基板 1 之角端位置或半導體晶片 11 接置區域外之基板額外佈局面積上。惟限定被動元件 12 安設位置將縮小基板 1 表面線路佈局 (Routability) 之靈活性；同時需考量銲接墊位置，導致該等被動元件 12 佈設數量受到侷限；甚者，被動元件 12 佈設數量隨著半導體封裝件高性能之要求而相對地遽增，如採習知方法該基板 1 表面必須同時容納多數半導體晶片 11 以及大量被動元件 12，而迫使裝件體積增大，亦不符合半導體封裝件輕薄短小之發展潮流，也增加製程之複雜性。

再者，隨著電子產品朝向高功能性與小型尺寸之發展趨勢，電路板的疊層 (Lamination) 技術也就必須具備厚度薄、多層數與高密度之特點。因此，為更進一步縮小電路板空間需求，於是發展出鑲埋有被動元件之多層電路板，其中該些被動元件均係以膜狀方式堆疊於多層電路板之疊層間。

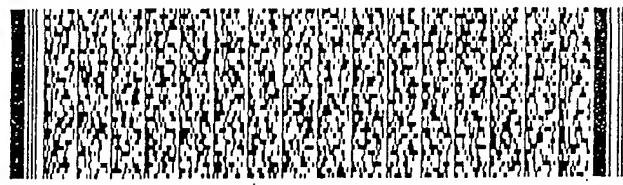
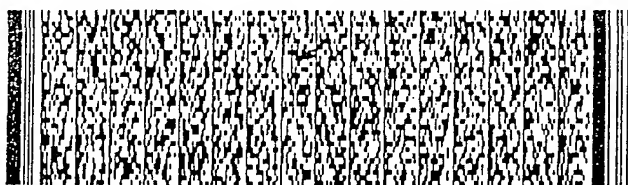
而整合製成多種膜狀被動元件於一多層電路板係具有數種不同之方式，如第 2A 圖所示，若一電阻膜 20 整合鑲埋於一多層電路板 2a 中時，係將該電阻膜 20 覆有一導電金屬層 21，該電阻膜 20 係包含有厚膜 (Thick film) 及薄膜



### 五、發明說明 (3)

(Thin film)電阻材料，該厚膜電阻材料係如銀粉 (Silver powder)或碳顆粒 (Carbon particle)散布於樹脂中，及氧化鈦 ( $\text{RuO}_2$ )與玻璃粉末散布在一黏結劑 (Binder)塗佈再固化而形成，該薄膜電阻材料係如鎳鉻 (Ni-Cr)、鎳磷 (Ni-P)、鎳錫 (Ni-Sn)、鉻鋁 (Cr-Al)、及氮化鈦 (TaN)合金等，其可藉由濺鍍 (Sputtering)、電鍍 (Electroplating)或無電鍍 (Electroless plating)等方式形成，並藉由圖案化該電阻膜及載有該電阻膜之導電金屬層 21以形成電阻元件 20a，該圖案化之導電金屬層包含有若干線路區域作為電阻電極 21a，俾於該多層電路板結構之疊層間完成鑲埋有電阻元件。相同地，如第 2B圖所示，將一電容膜 22整合鑲埋於一多層電路板 2b中時，該電容膜 22係選自介電常數大之高介電層，其係由如高分子材料、陶瓷材料、陶瓷粉末填充之高分子及其相似物等，其材料可例如為鈦酸鋇 (Barium-titanate)、鈦酸鉛 (Lead-zirconate-titanate)、無定形氫化碳 (Amorphous hydrogenated carbon)，或其粉末散佈於黏結劑 (Binder)中，如樹脂、玻璃粉末等，亦可利用濺鍍、印刷 (Printing)或滾輪旋塗 (Roller coating)等方式成形，並於該電容膜 22之相對兩表面形成有圖案化之導電金屬層 21，該圖案化之導電金屬層 21包含有若干線路區域作為該電容元件 22a之平行板 21b，俾在該多層電路板結構之疊層間完成鑲埋有電容元件。

而許多用以在電路板疊層結構中形成有電阻或電容被





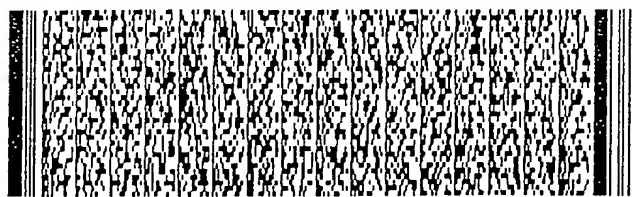
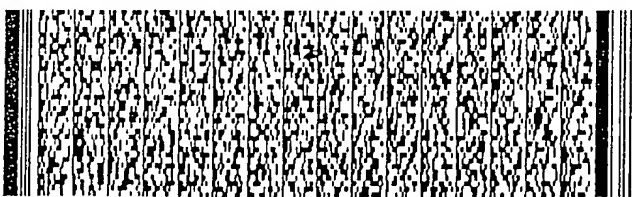
#### 五、發明說明 (4)

動元件之材料與方法已為眾所關注之焦點，其中關鍵處即在於如何在電路板內鑲埋此類被動元件。此領域所發展之相關專利技術，係如美國專利第 3,857,683、5,243,320 及 5,683,928 號等，大都是在多層電路板製程中於形成一新疊層前，先在一有機絕緣層表面以網印 (Printing) 及 / 或光阻蝕刻 (Photoresist-etching) 等方式形成電阻被動元件。惟該些方式易因電阻被動元件底部之絕緣層表面粗糙不平坦，而難以達到高電性精確度，亦或由於絕緣層過於平滑，而減弱圖案化電路層與絕緣層之間的黏著性，而無法達到較佳之可靠性電路板，此外，此種被動元件之整合方式，將使得基板之整體結構及其所需製程具有較大之複雜度而不符合成本效益。

再者，於多層電路板層間安置膜狀被動元件雖可避免習知電路板表面之佈局性限制問題，但其製程繁瑣、複雜，同時，因該被動元件係安置於於電路板層間，因此針對不同需求之如電阻值與電容值等電性特性時，即必須重新設計堆疊該多層電路板，造成製造成本的大幅提升，亦會產生物料管理的困擾與材料庫存成本的增加。

因此，在現今電子產品要求輕薄短小與多功能及高電之趨勢下，如何在提供有效數量之被動元件於半導體封裝單元及電子裝置中，以提昇電子產品之電性功能，而又不致影響該半導體封裝單元及電子裝置之線路佈局性及製程與庫存成本之大幅增加，實為目前亟待解決之課題。

#### 【發明內容】



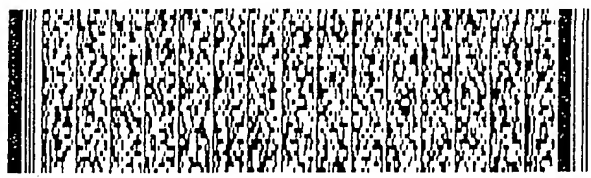
#### 五、發明說明 (5)

鑒於以上所述習知技術之缺點，本發明之主要目的在於提供一種積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法，俾利用一簡單製程以在一芯板中形成多數之開孔，以整合收納有多數如電阻或電容元件等被動元件之材料於該開孔中，俾供使用者因應實際需要於該芯板表面形成圖案化之線路，而形成被動元件並可作電性導接，以完成所需之電性設計。

本發明之另一目的在於提供一種積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法，以將一積集式內嵌被動元件儲存板應用於半導體封裝基板中，俾提昇半導體裝置內被動元件之佈設數量，並增加半導體封裝基板線路佈局靈活性，且可縮減半導體封裝基板表面使用面積與半導體裝置厚度，以達輕薄短小之目標。

本發明之再一目的在於提供一種積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法，俾在電子產品要求輕薄短小與多功能及高電性之趨勢下，提供有效數量之被動元件於半導體裝置或印刷電路板等外部裝置上，以提昇電子產品之電性功能，而又不致影響其線路佈局性。

為達成上揭及其他目的，本發明之積集式內嵌被動元件儲存板係包括：一絕緣芯板，其具有一上表面及一相對之下表面，並於該芯板中形成有多數之開孔；複數個供作為被動元件區域，係以可作為被動元件之電阻材料或電容材料填充於該等開孔；以及一導電金屬層，係被覆於該芯板之上表面與下表面上。

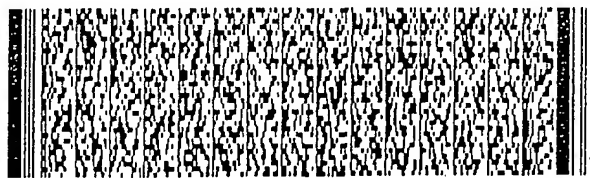
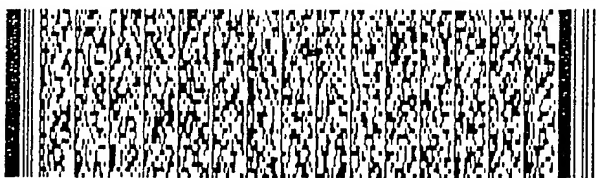


## 五、發明說明 (6)

該積集式內嵌被動元件儲存板鑲埋有被動元件材料包含有電阻材料與電容材料，俾提供使用者因應電子裝置實際需求之電性功能作設計時，可加以圖案化該芯板表面之導電金屬層，而將該些內嵌於芯板開孔中之電阻材料或電容材料作電性導接，以完成所需之電性設計。此外，亦可藉由在該芯板中形成有多數之導電通孔 (Conductive via)，以相互電性導接該芯板上表面與下表面之導電線路，俾藉由簡單之製程以完成該芯板之被動元件之電性設計，以提供使用者所需之電性功能。

而該積集式內嵌被動元件儲存板則可應用於半導體封裝基板中，係可藉由增層 (Build-up) 或疊層 (Lamination) 技術以在圖案化該整合有被動元件之芯板表面上，分別間隔一絕緣層以形成至少一電路層，而該電路層係藉由形成於絕緣層之導電盲孔 (Blind via) 以電性連接至該芯板表面之導電線路，以形成一多層電路板，且該多層電路板可應用於覆晶式 (Flip Chip) 半導體封裝基板，亦或一般之打線式 (Wire bonding) 半導體封裝基板。藉以提昇半導體裝置內被動元件之佈設數量，並增加基板線路佈局靈活性，縮減基板表面使用面積與半導體裝置厚度，以達輕薄小之目標。

而將該積集式內嵌被動元件儲存板運用於電子裝置時，首先，提供一絕緣芯板，其具有一上表面及一相對之下表面，並於該芯板中形成有多數之開孔，以填充有多數之被動元件材料，並於該芯板上、下表面形成有一導電金

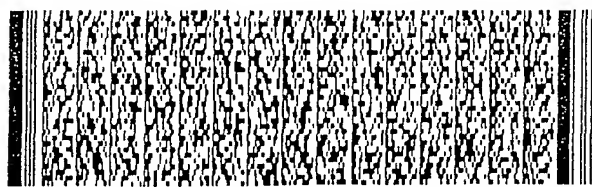
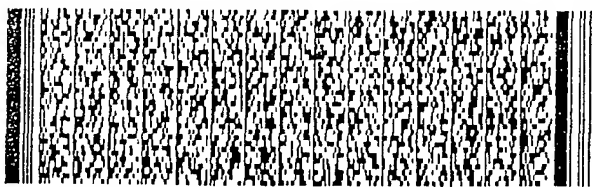


#### 五、發明說明 (7)

屬層；接著，由使用者依據所需電子裝置之電性設計，圖案化該芯板表面之導電金屬層，以電性導接所需之被動元件；之後，將該圖案化之整合有多數被動元件接置並電性連接至半導體裝置或印刷電路板等電子裝置上。

因此，本發明之積集式內嵌被動元件儲存板可提供使用者針對所需電子裝置（例如半導體封裝基板與印刷電路板）之電性功能，事先加以不同圖案化該芯板表面之導電金屬層，以完成所需之電性設計後再加以應用於半導體封裝基板與印刷電路板中，避免習知於多層電路板層間安置膜狀被動元件所導致之製程繁瑣，以及為因應不同設計需求之電阻值與電容值等電性特性時，即必須重新設計、堆疊該多層電路板，造成製造成本的大幅提升與物料管理的困擾及材料庫存成本的增加。

透過本發明之積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法，以利用一簡單製程以在一芯板中同時整合有多數如電阻或電容元件等被動元件材料，以供使用者因應實際需求而圖案化該芯板表面之導電金屬層以形成有多數之導電線路，俾將該些被動元件作電性導接，以完成所需之電性設計。同時可將該整合有被動元件之芯板加以圖案化後，應用於半導體封裝基板中，以提昇半導體裝置內被動元件之佈設數量，並增加基板線路佈局靈活性，俾縮減基板表面使用面積與半導體封裝件厚度，以達半導體裝置輕薄短小之目標；再者，於電子產品要求輕薄短小與多功能及高電性之趨勢下，亦得以提供有效數量之



#### 五、發明說明 (8)

被動元件於印刷電路板等外部裝置，以提昇電子產品之電性功能，而又不致影響其線路佈局性。

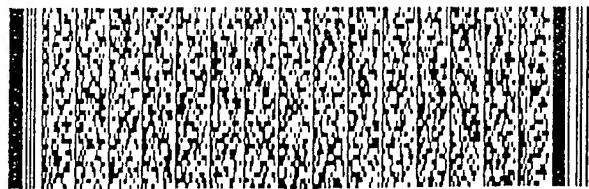
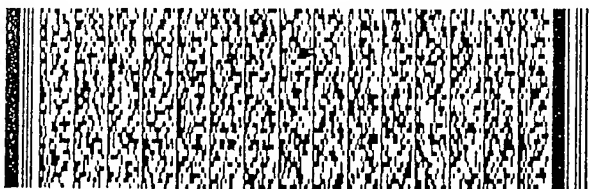
以下列舉實施例以進一步詳細說明本發明，但本發明並不受此等實施例所限制。又本發明之圖式僅為簡單說明，並非依實際尺寸描繪，亦即未反應出相關構成之實際尺寸，先予敘明。

#### 【實施方式】

請參閱第 3A 及 3B 圖，為本發明之積集式內嵌被動元件儲存板平面及剖面示意圖。

如圖所示，該積集式內嵌被動元件儲存板 3 主要包括有一絕緣芯板 31，其具有一上表面 31a 及一相對之下表面 31b，並於該芯板 31 中形成有多數之開孔 32；複數個供作為被動元件區域 33，係以可作為被動元件之電阻材料或電容材料填充於該芯板 31 之開孔 32 中；以及一導電金屬層 34，係被覆於該芯板 31 之上表面 31a 與下表面 31b。該絕緣芯板 31 表面之導電金屬層 34 係覆蓋住該芯板開孔 32 中之作為被動元件區域 33，且該儲存板 3 可佈設有多數之導電通孔 35 (Conductive via)，以相互電性導接該芯板上表面與下表面之導電金屬層 34，提供使用者對被動元件所需之電路設計。

該絕緣芯板 31 之材質可為絕緣有機材料或陶瓷材料，如環氧樹脂 (Epoxy resin)、聚乙醯胺 (Polyimide)、雙順丁稀二酸醯亞胺 / 三氮吡 (Bismaleimide triazine-based) 樹脂，或其他玻璃纖維 (Glass fiber) 之複合材料等組

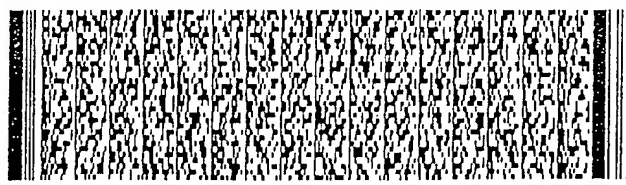


#### 五、發明說明 (9)

成，當然，該絕緣層並不限於僅由單一有機材料所形成，亦可由不同絕緣材料層所疊合而成。該絕緣芯板 31 具有一上表面 31a 及一相對之下表面 31b，並於該芯板 31 中形成有多數之開孔 32，且該些開孔 32 之尺寸大小或形狀可加以變化，俾用以可收納有不同尺寸之被動元件區域 33，同時在該芯板 31 之上表面 31a 及下表面 31b 均覆蓋有一例如銅或其他具導電性材質之金屬層 34。

該收納於芯板開孔 32 中之作為被動元件區域 33，可為電阻材料或電容材料所形成者，該電阻材料係選自係如銀粉 (Silver powder) 或碳顆粒 (Carbon particle) 散布於樹脂中，氧化鈦 ( $\text{RuO}_2$ ) 與玻璃粉末散布在一黏結劑 (Binder) 塗佈再固化而形成，或如鎳鉻 (Ni-Cr)、鎳磷 (Ni-P)、鎳錫 (Ni-Sn)、鉻鋁 (Cr-Al)、及氮化鈦 (TaN) 合金等而填充於該芯板開孔 32 中，俾於後續圖案化該絕緣芯板 31 表面之導電金屬層 34 時，如圖 4A 所示形成有電阻電極 34b 以導通該電阻材料，完成電阻元件 33a 之設置。

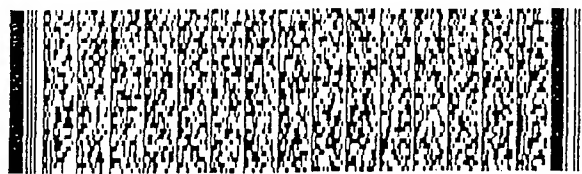
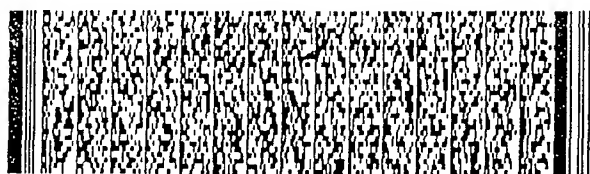
該電容材料係選自介電常數大之高介電層，其係由如高分子材料、陶瓷材料、陶瓷粉末填充之高分子及其相似物等，其材料可例如為鈦酸鋇 (Barium-titanate)、鈦酸鋇鉛 (Lead-zirconate-titanate)、無定形氫化碳 (Amorphous hydrogenated carbon)，或其粉末散佈於黏結劑 (Binder) 以安置於該芯板開孔 32 中，俾於後續圖案化該絕緣芯板 31 表面之導電金屬層 34 時，如圖 4A 所示形成有平行板 34c 覆於該電容材料，以完成電容元件 33b 之設



置。

在使用者針對電子裝置需求之電性功能作設計時，可加以圖案化該整合有被動元件之芯板 3 表面之導電金屬層 34，藉由電導通孔 35 之可導通導電金屬層 34，而將該些內嵌於芯板開孔 32 中之被動元件 33 如電阻元件或電容元件作電性導接，以完成所需之電性設計。

請參閱第 4A 及 4B 圖，為該積集式內嵌被動元件儲存板 3 表面形成有圖案化導電線路之平面及剖面示意圖。其係藉由在該絕緣芯板 31 上表面 31a 與下表面 31b 之導電金屬層 34 上施以形成線路之微影 (Lithography) 及蝕刻 (Etching) 等製程，而形成有多數之圖案化導電線路 34a (Pattern Circuit)，使該芯板上、下表面 31a, 31b 之導電線路 34a 包含有若干線路區域可作為形成如電阻元件 33a 之電極 34b 與形成電容元件 33b 之平行板 34c。俾藉由該些圖案化之導電線路 34a 與作為電阻元件 33a 之電極 34b 以及作為電容元件 33b 之平行板 34c，以將該些內嵌於絕緣芯板 31 中之被動元件區域 33，可形成如電阻元件 33a 及 / 或電容元件 33b 作並聯及 / 或串聯之電性導接，俾於該絕緣芯板 31 中整合有電阻元件 33a 與電容元件 33b，且該電阻元件 33a 之電阻值及該電容元件 33b 之電容值大小，可依所使用之電阻材料與電容材料以及充填於該芯板開孔中之電阻與電容材料尺寸加以決定。圖 4A 所示，其中之 36a 即代表整合三個電阻元件 33a 並聯而成之電阻，36b 即代表整合三個電阻元件 33a 串聯而成之電阻，36c 即代表整合三個電容元件



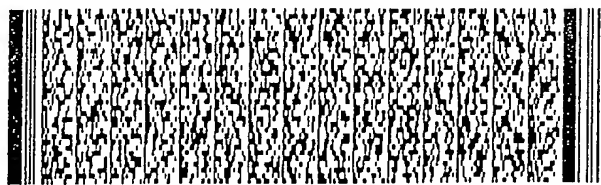
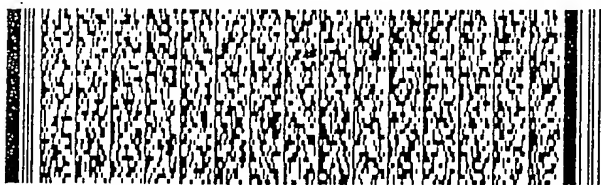
#### 五、發明說明 (11)

33b並聯而成之電容，36d即代表整合三個電容元件33b串聯而成之電容。

而該積集式內嵌被動元件儲存板於其表面形成有圖案化之導電線路後，即可應用於半導體封裝基板與印刷電路板等外部裝置上所需之電性功能改善。

請參閱第5圖，該積集式內嵌被動元件儲存板3於圖案化後可應用在半導體封裝基板中，係可藉由增層或疊層技術以在該絕緣芯板31之上表面31a或下表面31b之導電線路34a上間隔一絕緣層36以形成至少一電路層37，而該電路層37係可藉由形成於絕緣層之導電盲孔(Blind via)38以電性連接至該絕緣芯板31表面之導電線路34a，且該導電線路34a包含有電阻電極34b與電容平行板34c，以形成一多層電路板30。該電路層37可為一圖案化銅層或電鍍形成之導電線路，以形成於一絕緣層上，而該絕緣層36係可由有機材質、纖維強化有機材質或顆料強化有機材質等電性絕緣材料所構成，且該多層電路板30可應用於覆晶式(Flip Chip)半導體封裝基板，亦或一般之打線式(Wire bonding)半導體封裝基板，藉以提昇半導體裝置內被動元件之佈設數量，並增加基板線路佈局靈活性，俾縮減基板表面使用面積與半導體裝置厚度，以達輕薄短小之目標。

請參閱第6A圖，為因應電子產品要求輕薄短小與多功能及高電性之趨勢下，可將該積集式內嵌被動元件儲存板3，形成於覆晶式半導體封裝基板40之一側，並於該覆晶式半導體封裝基板40之另一側接置並電性連接有至少一覆



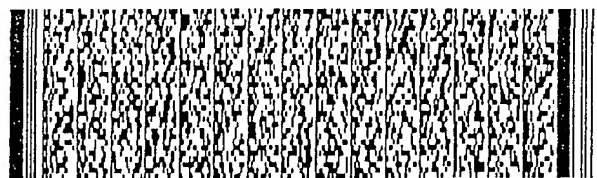


#### 五、發明說明 (12)

晶式半導體晶片 41，俾藉由該圖案化後積集式內嵌被動元件儲存板 3 提供有效數量與特定電性功能之電阻元件 33a 與電容元件 33b 於該半導體封裝基板 40。當然，本發明之積集式內嵌被動元件儲存板 3 亦可實施於鑲埋於打線式之半導體封裝基板，如第 6B 圖所示。而如第 6C 圖所示，本發明第 5 圖所示之多層電路板 30 係內嵌有被動元件儲存板 3，亦可實施於印刷電路板 60 等外部裝置，藉以提供有效數量之電阻元件 33a 與電容元件 33b 於該印刷電路板 60，俾提昇電子產品之電性功能，而又不致影響其線路佈局性。

而將該積集式內嵌被動元件儲存板 3 運用於電子裝置方法，係包括：首先，提供一絕緣芯板 31，其具有一上表面 31a 及一相對之下表面 31b，並在該絕緣芯板 31 中形成有多數之開孔 32，且該開孔 32 之尺寸及形狀可有所不同，俾用以填充多數之被動元件材料於該開孔 32 中，以形成可作為被動元件區域 33，並於該芯板之上、下表面 31a, 31b 上形成有一導電金屬層，以覆蓋住收納於該芯板開孔 32 之被動元件區域 33，而該被動元件材料係包含有電阻與電容元件材料。

接著，由使用者依據所需電子裝置之電性設計，圖案化該芯板上、下表面 31a, 31b 之導電金屬層，施以形成線路之微影及蝕刻等製程，而形成有多數之圖案化導電線路 34a，並使該芯板上、下表面 31a, 31b 之導電線路 34a 包含有若干線路區域可作為形成如電阻元件 33a 之電阻電極 34b 與形成電容元件 33b 之平行板 34c，同時藉由該些導電線路



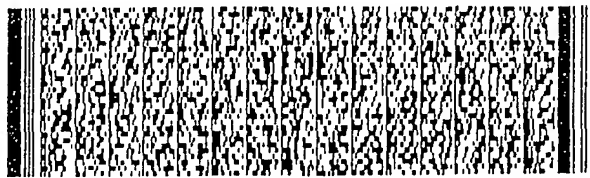
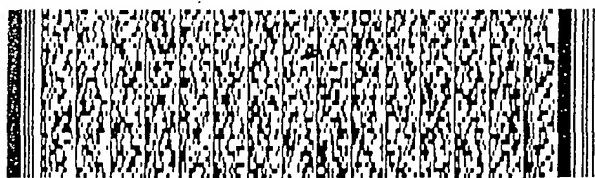
#### 五、發明說明 (13)

34a以電性連接及整合所形成之電阻元件33a與電容元件33b。

之後，以該圖案化之積集式內嵌被動元件儲存板3為核心板，形成多層電路板以供接置並電性連接至所需之電子裝置如半導體封裝基板40或印刷電路板60等。

因此，本發明之積集式內嵌被動元件儲存板可提供使用者針對所需電子裝置（例如半導體封裝基板與印刷電路板）之電性功能，事先加以不同圖案化該芯板表面之導電金屬層，以完成所需之電性設計後再加以應用於半導體封裝基板與印刷電路板中，避免習知於多層電路板層間安置膜狀被動元件所導致之製程繁瑣，以及為因應不同設計需求之電阻值與電容值等電性特性時，即必須重新設計、堆疊該多層電路板，造成製造成本的大幅提升與物料管理的困擾及材料庫存成本的增加。

透過本發明之積集式內嵌被動元件儲存板與結合該儲存板之電子裝置製法，以利用一簡單製程以在一芯板中同時整合有多數如電阻元件與電容元件等被動元件，以供使用者因應實際需求而圖案化該芯板表面之導電金屬層以形成有多數之導電線路，俾將該些被動元件作電性導接，以完成所需之電性設計。同時可將該整合有被動元件之芯板加以圖案化後，應用於半導體封裝基板中，以提昇半導體裝置內被動元件之佈設數量，並增加基板線路佈局靈活性，俾縮減基板表面使用面積與半導體封裝件厚度，以達半導體裝置輕薄短小之目標；再者，於電子產品要求輕薄

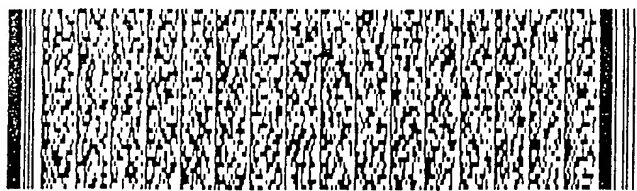


#### 五、發明說明 (14)

短小與多功能及高電性之趨勢下，亦得以提供有效數量之被動元件於印刷電路板等外部裝置，以提昇電子產品之電性功能，而又不致影響其線路佈局性。

先前圖式中僅以部分之電阻元件及電容元件表示，實際上該電阻元件與電容元件之數目以及相對位置，係依實際製程所需而加以設計並內嵌於儲存板之開孔中。而以上所述之具體實施例，僅係用以例釋本發明之特點及功效，而非用以限定本發明之可實施範疇，在未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵

蓋。



【圖式簡單說明】

第 1 圖為習知將被動元件安置於半導體晶片接置區域外之電路板額外佈局面積上之示意圖；

第 2A 圖為習知將膜狀電阻元件安置於多層電路板層間之剖面示意圖；

第 2B 圖為習知將膜狀電容元件安置於多層電路板層間之剖面示意圖；

第 3A 圖為本發明之積集式內嵌被動元件儲存板平面示意圖；

第 3B 圖為本發明之積集式內嵌被動元件儲存板剖面示意圖；

第 4A 圖為本發明之積集式內嵌被動元件儲存板表面形成有圖案化導電線路之平面示意圖；

第 4B 圖為本發明之積集式內嵌被動元件儲存板表面形成有圖案化導電線路之剖面示意圖；

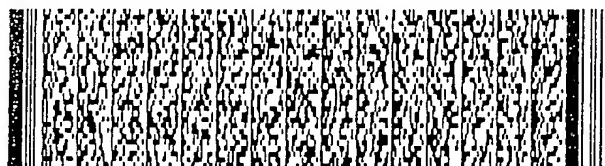
第 5 圖為本發明之積集式內嵌被動元件儲存板運用於半導體封裝基板中之剖面示意圖；以及

第 6A 及 6B 圖為本發明之積集式內嵌被動元件儲存板運用於電子裝置上之剖面示意圖。

第 6C 圖為本發明之積集式內嵌被動元件儲存板運用於印刷電路板之示意圖。

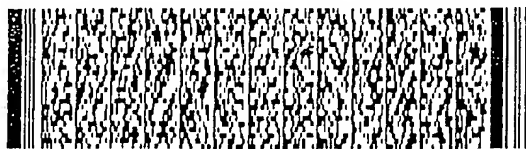
1, 40          基板

2a, 2b, 30    多層電路板



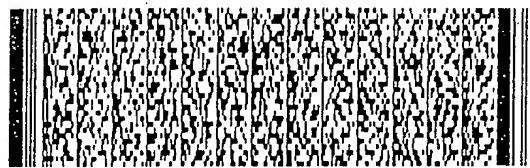
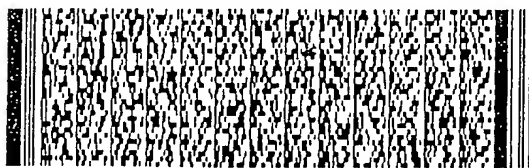
圖式簡單說明

3	被動元件儲存板
11, 41	半導體晶片
12	被動元件
20a, 33a	電阻元件
20b, 33b	電容元件
21, 34	導電金屬層
21a, 34b	電阻電極
21b, 34c	平行板
31	絕緣芯板
31a	上表面
31b	下表面
32	開孔
33	被動元件區域
34a	導電線路
35	導電通孔
36	絕緣層
37	電路層
38	導電盲孔
60	印刷電路板



## 六、申請專利範圍

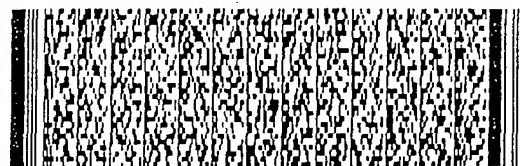
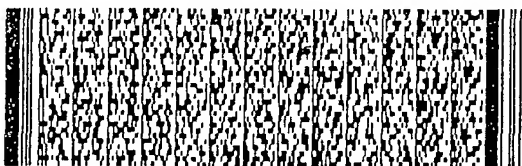
1. 一種積集式內嵌被動元件儲存板，係包括：
  - 一絕緣芯板，其具有一上表面及一相對之下表面，並於該芯板中形成有多數之開孔；
  - 複數個供作為被動元件區域，係以可作為被動元件之材料填充於該芯板之開孔中；以及
  - 一導電金屬層，係被覆於該芯板之上表面與下表面。
2. 如申請專利範圍第1項之積集式內嵌被動元件儲存板，其中，該被動元件材料為電阻材料與電容材料之任一者。
3. 如申請專利範圍第1項之積集式內嵌被動元件儲存板，其中，該芯板表面之導電金屬層可依電性設計需求圖案化形成有多數之導電線路，以電性導接收納於該芯板開孔中之被動元件區域。
4. 如申請專利範圍第2或3項之積集式內嵌被動元件儲存板，其中，該導電線路包含有若干線路區域可作為電阻元件之電阻電極與電容元件之平行板。
5. 如申請專利範圍第4項之積集式內嵌被動元件儲存板，其中，該電阻元件之電阻值及該電容元件之電容值大小，可依所使用之電阻材料與電容材料以及充填於該芯板開孔中之電阻與電容材料尺寸加以決定。
6. 如申請專利範圍第1項之積集式內嵌被動元件儲存板，其中，該芯板中形成有多數之導電通孔(Conductive via)，以提供該芯板上、下表面相互電性導接。



#### 六、申請專利範圍

7. 如申請專利範圍第3項之積集式內嵌被動元件儲存板，其中，該積集式內嵌被動元件儲存板於其表面形成有圖案化導電線路後，即可應用於半導體封裝基板與印刷電路板上所需之電性功能改善。
  8. 如申請專利範圍第3項之積集式內嵌被動元件儲存板，其中，該圖案化之儲存板可藉由增層 (Build-up) 技術以在該芯板之表面上間隔一絕緣層以形成至少一電路層，以形成一多層電路板。
  9. 如申請專利範圍第3項之積集式內嵌被動元件儲存板，其中，該圖案化之儲存板可藉由疊層 (Lamination) 技術以在該芯板之表面上間隔一絕緣層以形成至少一電路層，以形成一多層電路板。
  10. 如申請專利範圍第8或9項之積集式內嵌被動元件儲存板，其中，該多層電路板可應用於覆晶式 (Flip Chip) 半導體封裝基板及打線式 (Wire bonding) 半導體封裝基板之任一者。
  11. 如申請專利範圍第7項之積集式內嵌被動元件儲存板，其中，該圖案化之儲存板可電性連接至一印刷電路板，以提昇電子產品之電性功能。
- 一種結合有積集式內嵌被動元件儲存板之電子裝置製法，係包括：

提供一絕緣芯板，其具有一上表面及一相對之下表面，並於該芯板中形成有多數之開孔，以填充有被動元件材料，並於該芯板上、下表面形成有一導電金



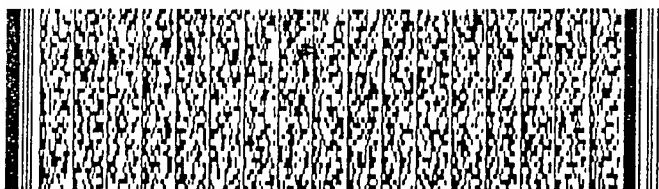
## 六、申請專利範圍

屬層；

依據所需電子裝置之電性設計，圖案化該芯板表面之導電金屬層，以形成導電線路層，俾電性導接所形成之被動元件；以及

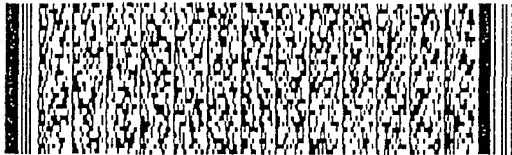
將該圖案化整合有多數被動元件接置並電性連接至電子裝置。

13. 如申請專利範圍第12項之製法，其中，該被動元件材料為電阻材料與電容材料之任一者。
14. 如申請專利範圍第13項之製法，其中，該導電線路包含有若干線路區域可作為電阻元件之電阻電極與電容元件之平行板。
15. 如申請專利範圍第13項之製法，其中，該電阻元件之電阻值及該電容元件之電容值大小，可依所使用之電阻材料與電容材料以及充填於該芯板開孔中之電阻與電容材料尺寸加以決定。
16. 如申請專利範圍第13項之製法，其中，該芯板中形成有至少一導電通孔(Conductive via)，以提供該芯板上、下表面相互電性導接。
17. 如申請專利範圍第12項之製法，其中，該電子裝置包含半導體封裝基板及印刷電路板。

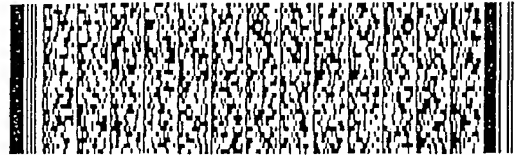




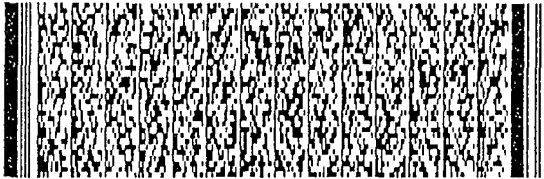
第 1/23 頁



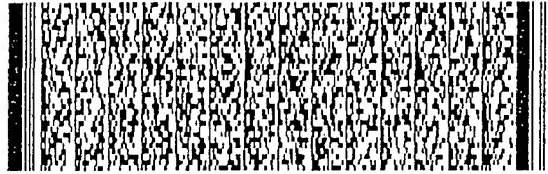
第 1/23 頁



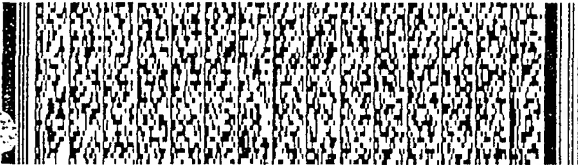
第 2/23 頁



第 2/23 頁



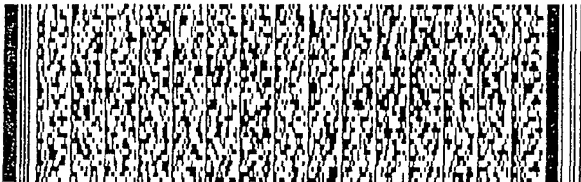
第 3/23 頁



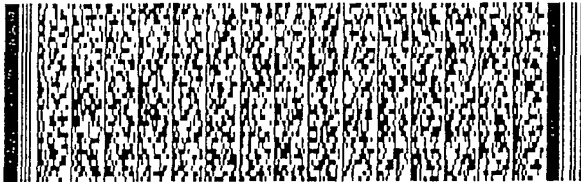
第 4/23 頁



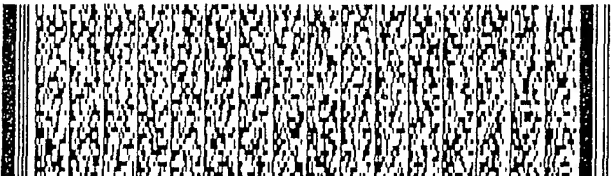
第 5/23 頁



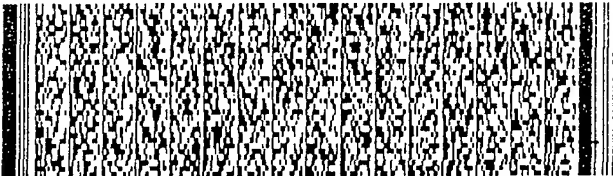
第 5/23 頁



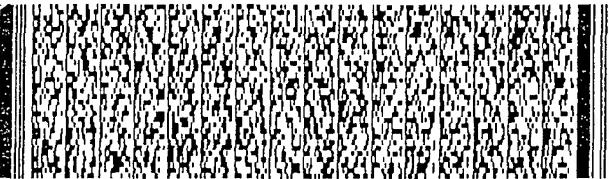
第 6/23 頁



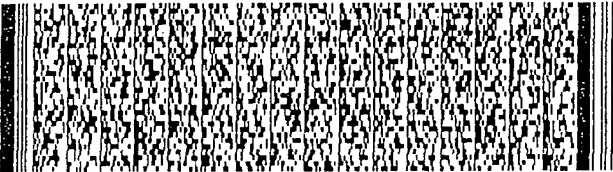
第 6/23 頁



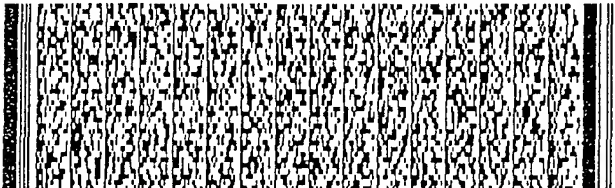
第 7/23 頁



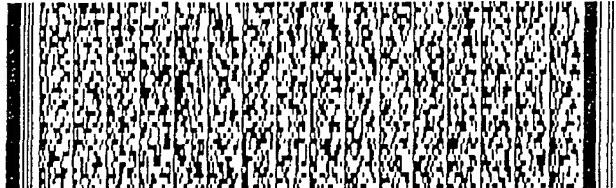
第 7/23 頁



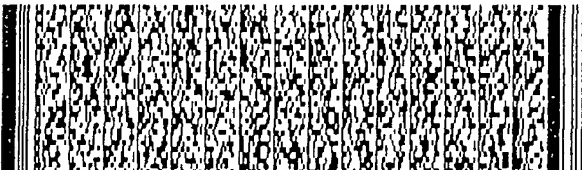
第 8/23 頁



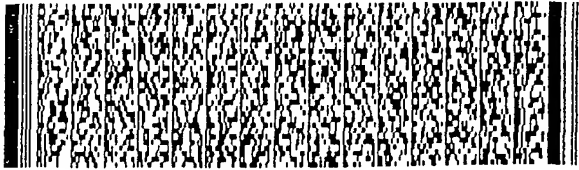
第 8/23 頁



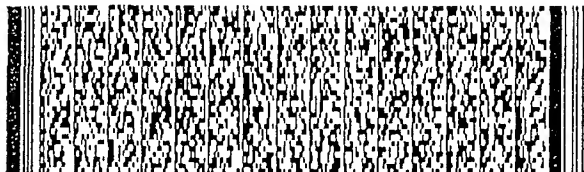
第 9/23 頁



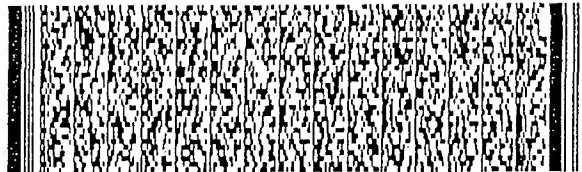
第 9/23 頁



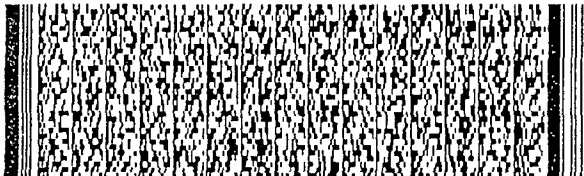
第 10/23 頁



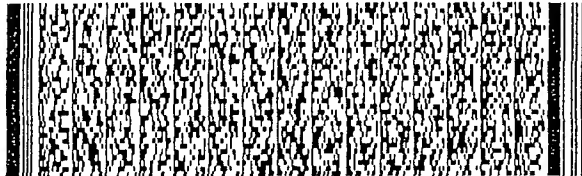
第 10/23 頁



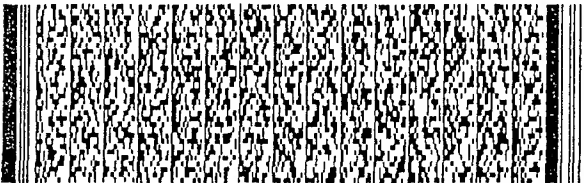
第 11/23 頁



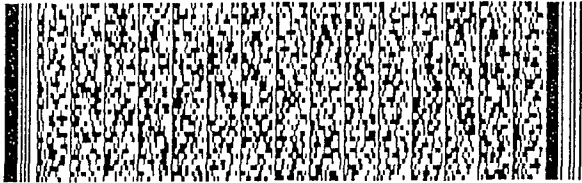
第 11/23 頁



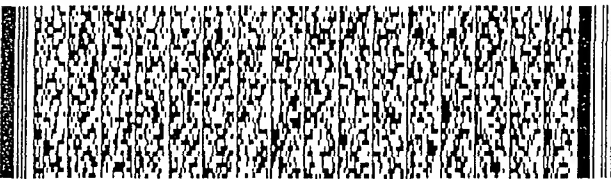
第 12/23 頁



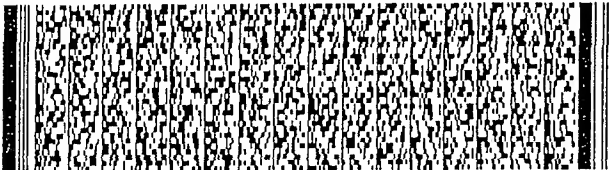
第 12/23 頁



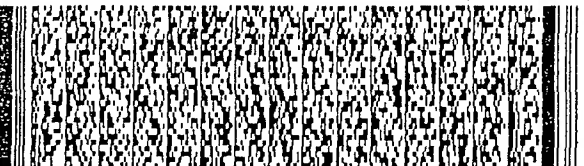
第 13/23 頁



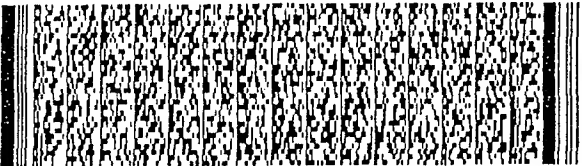
第 13/23 頁



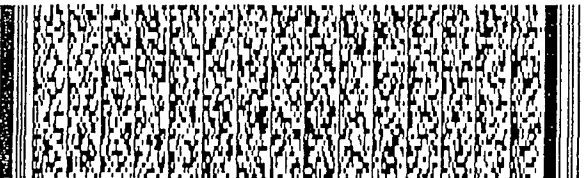
第 14/23 頁



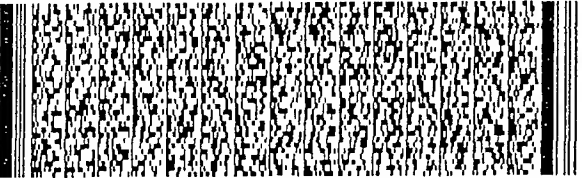
第 14/23 頁



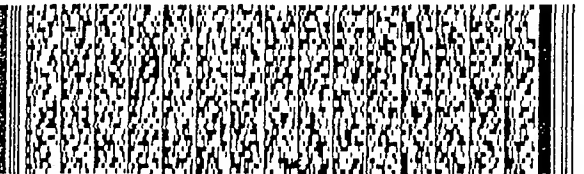
第 15/23 頁



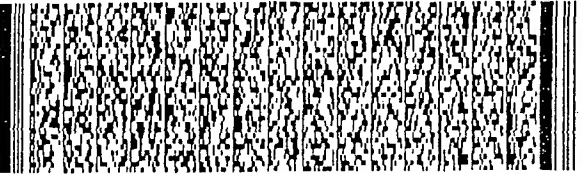
第 15/23 頁



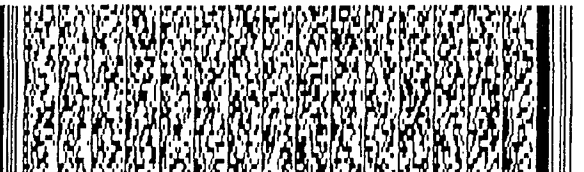
第 16/23 頁



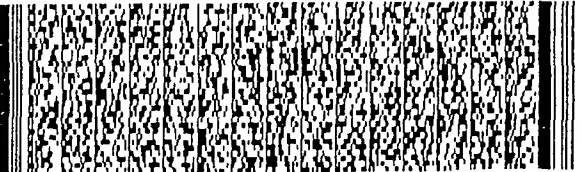
第 16/23 頁



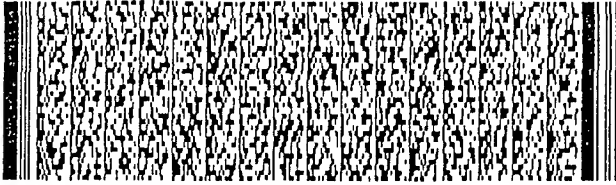
第 17/23 頁



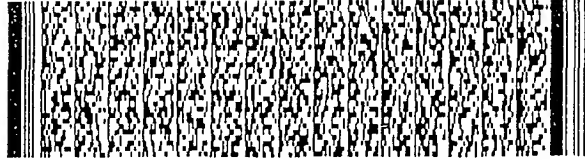
第 17/23 頁



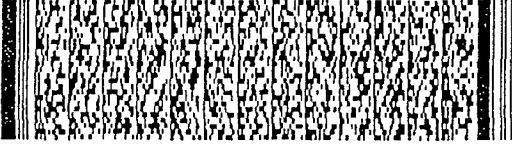
第 18/23 頁



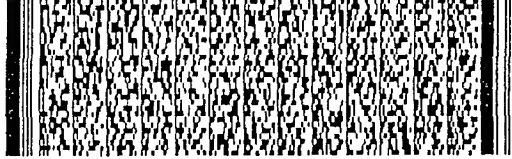
第 19/23 頁



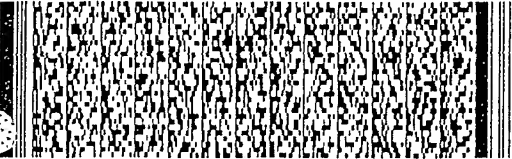
第 20/23 頁



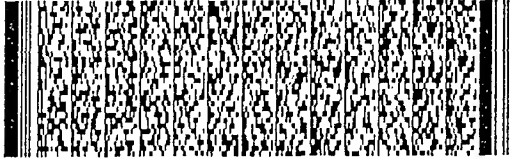
第 21/23 頁



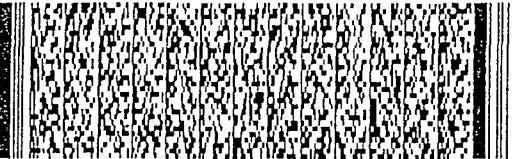
第 21/23 頁



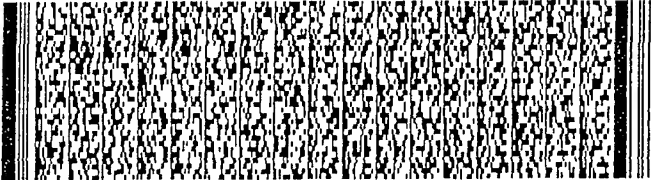
第 22/23 頁

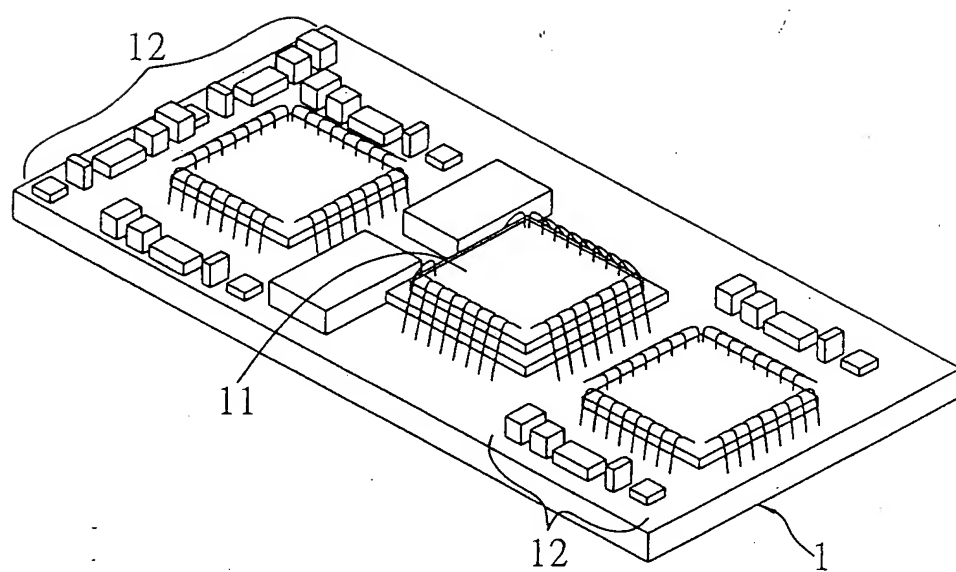


第 22/23 頁

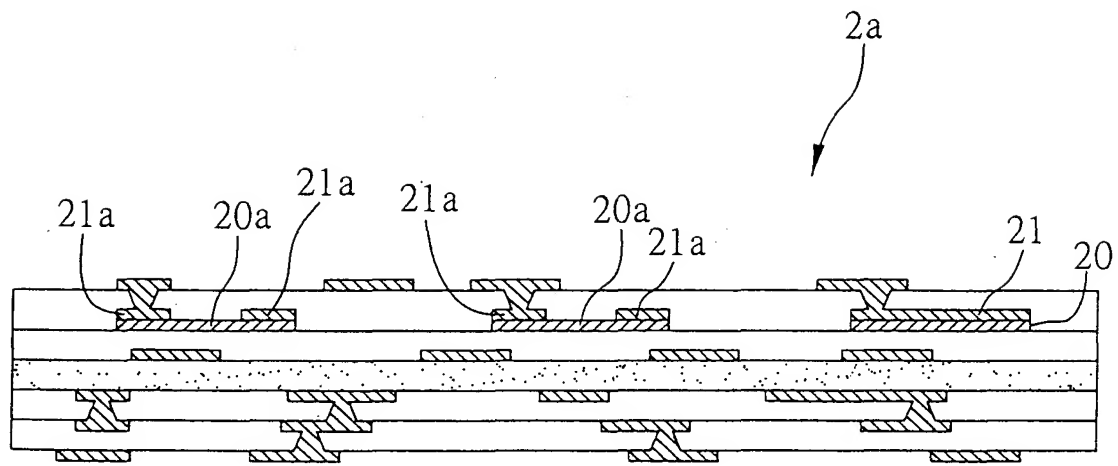


第 23/23 頁

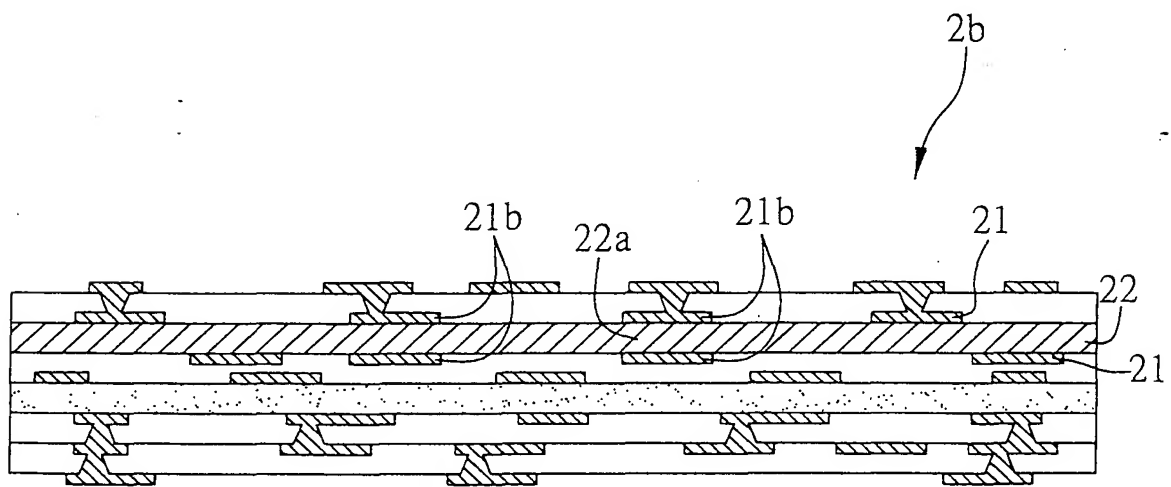




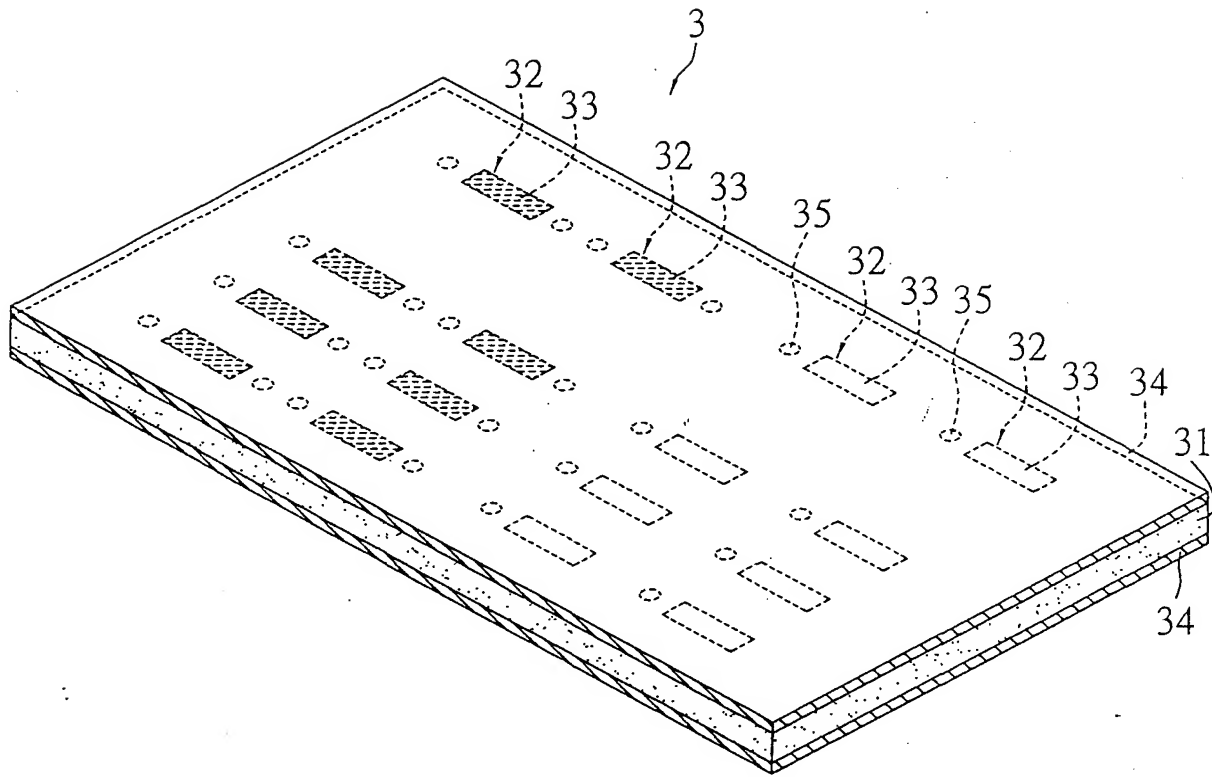
第 1 圖



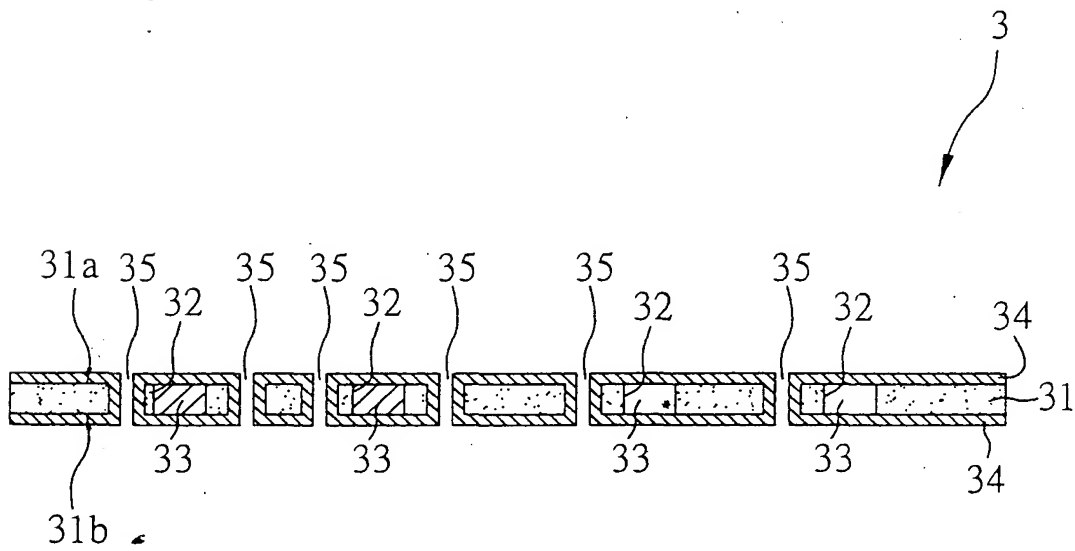
第 2A 圖



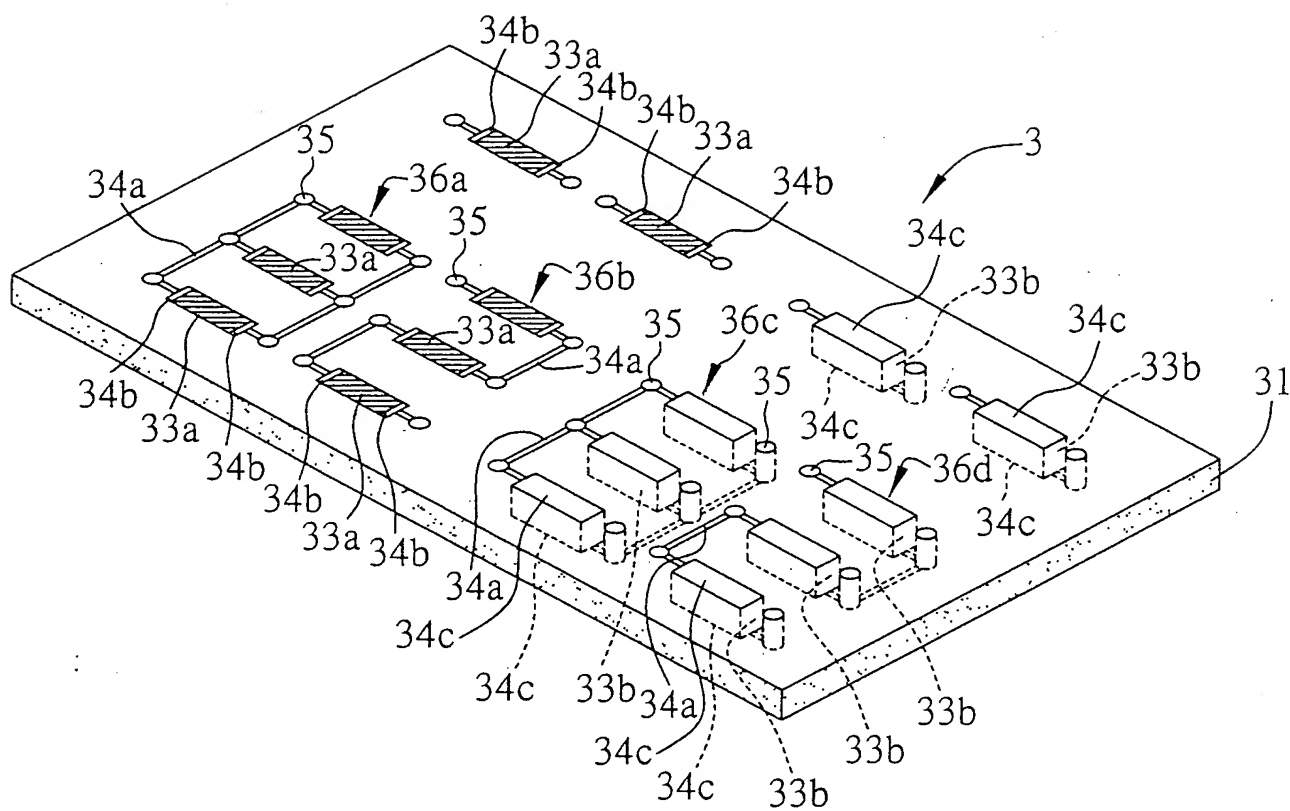
第 2B 圖



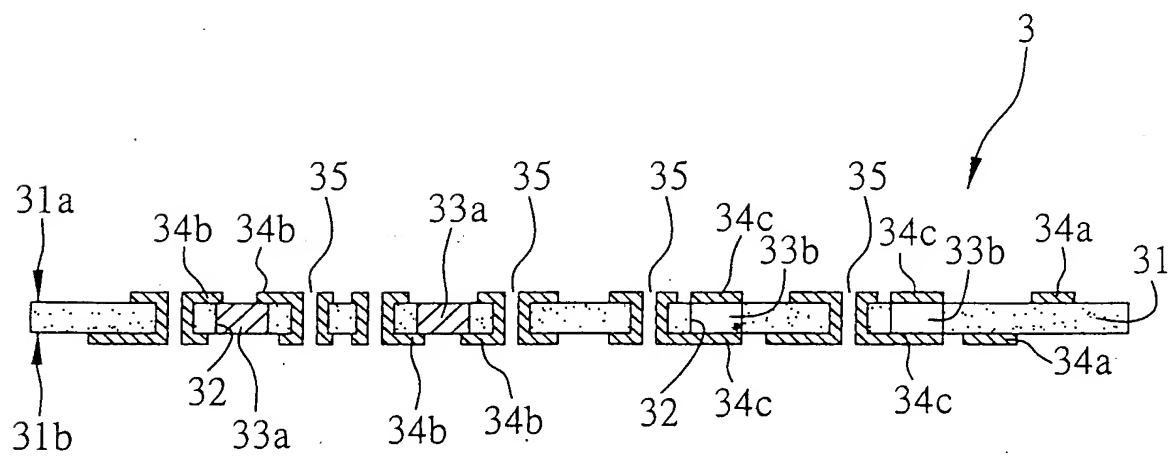
第 3A 圖



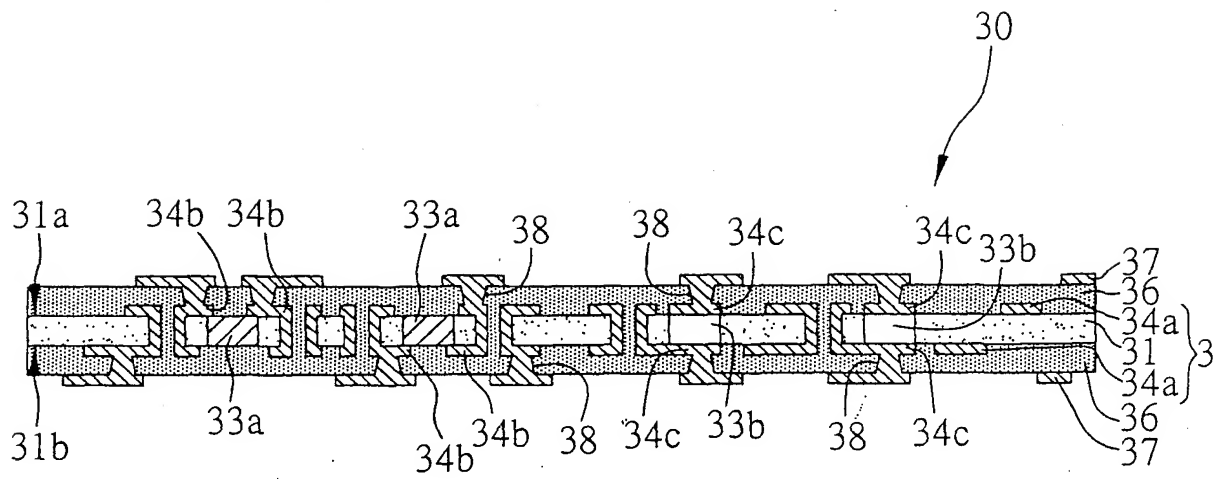
第 3B 圖



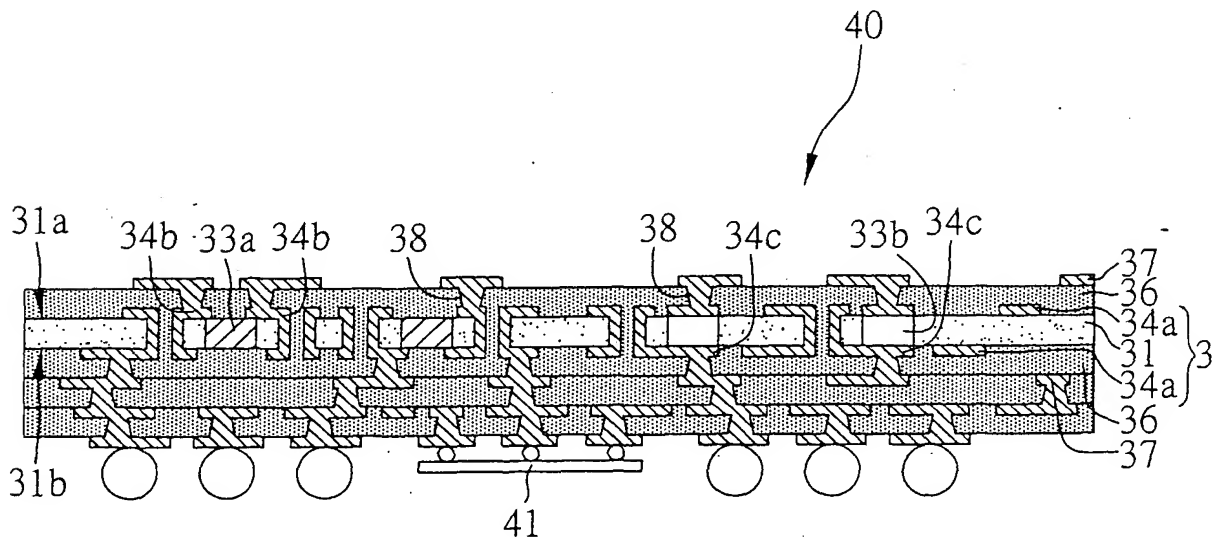
第 4A 圖



第 4B 圖 (代表圖)

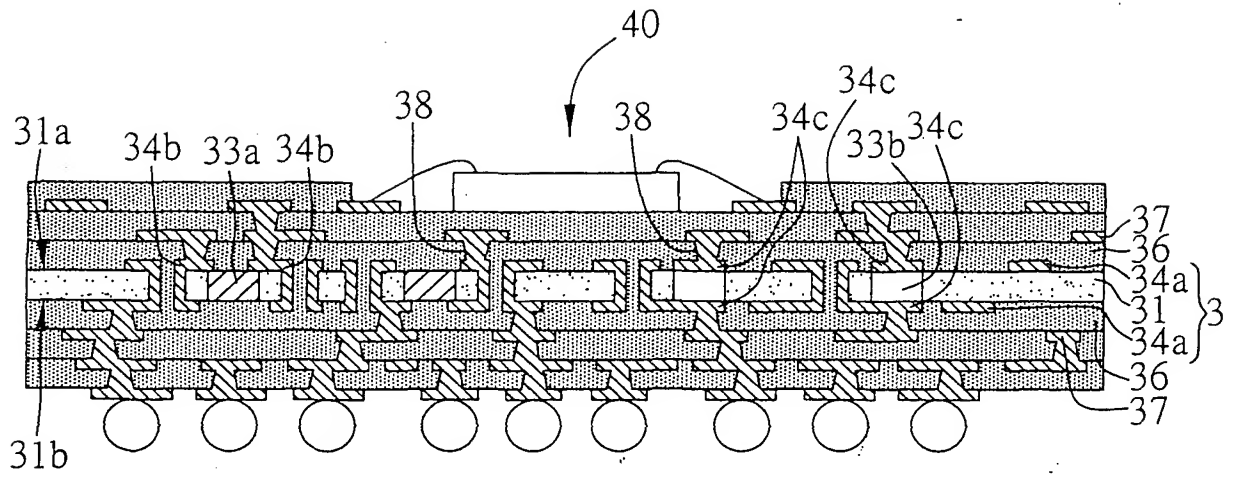


第 5 圖

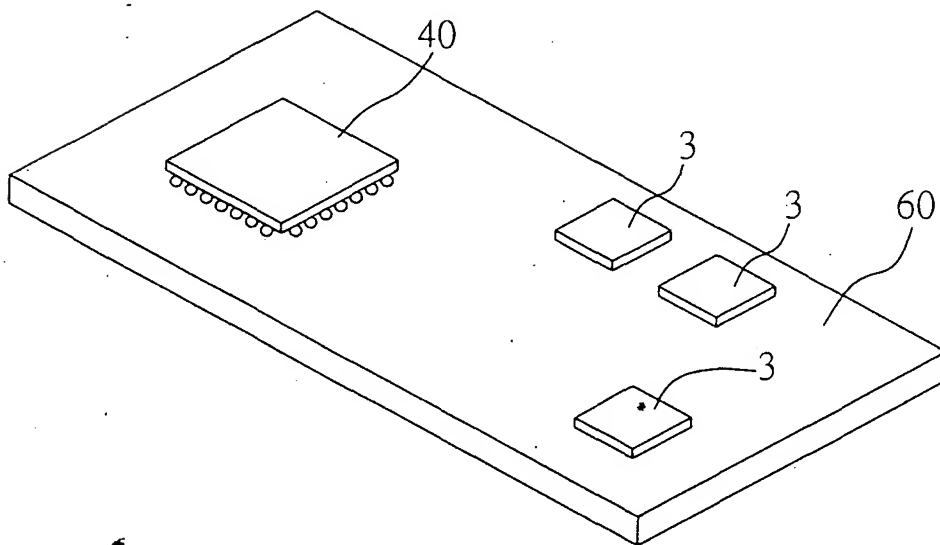


第 6A 圖





第 6B 圖



第 6C 圖